

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-007278

(43)Date of publication of application : 12.01.2001

(51)Int.Cl.

H01L 25/065

H01L 25/07

H01L 25/18

(21)Application number : 11-172387

(71)Applicant : NEC CORP

(22)Date of filing : 18.06.1999

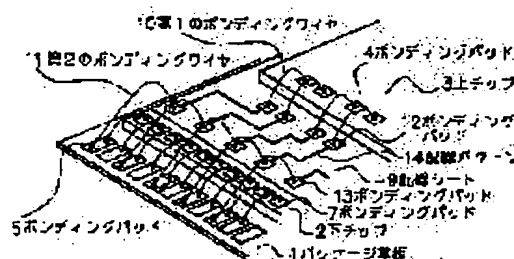
(72)Inventor : NAKAYAMA SADA0

(54) SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a stacked MCP where chips are superposed by a method wherein various memory chips are mounted on the same package even if the chips are different from each other in size and the positions of bonding pads are different.

SOLUTION: A wiring sheet 9 is interposed between an upper chip 3 and a lower chip 2. Bonding pads 12 and bonding pads 13 are provided on the wiring sheet 9, and wiring patterns 14 are provided so as to connect the bonding pads 12 and 13 together. The bonding pads 4 of the upper chip 3 and the bonding pads 12 are connected together with first bonding wires 10, and the bonding pads 13 and the bonding pads 5 provided to a package board 1 are connected together with second bonding wires 11. By this constitution, signals from the upper chip 3 are transmitted to the package board 1 by relay of the wiring sheet 9.



LEGAL STATUS

[Date of request for examination] 25.05.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3304921

[Date of registration] 10.05.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-7278

(P2001-7278A)

(43)公開日 平成13年1月12日(2001.1.12)

(51)Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 1 L 25/065

H 0 1 L 25/08

Z

25/07

25/18

審査請求 有 請求項の数7 O L (全 4 頁)

(21)出願番号 特願平11-172387

(22)出願日 平成11年6月18日(1999.6.18)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 中山 貞夫

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100084250

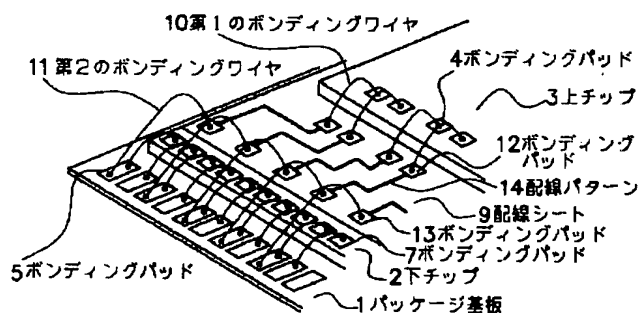
弁理士 丸山 隆夫

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【課題】 多様な複数のメモリを同一パッケージに搭載できるようにし、それぞれのチップの大きさや、ボンディングパッドの位置が異なっていた場合においても、チップを重ね合わせたスタックMCPを提供する。

【解決手段】 上チップ3と下チップ2との間に配線シート9を挟んで設ける。この配線シート9には、ボンディングパッド12とボンディングパッド13とを設けると共に、これらのボンディングパッド12、13を接続する配線パターン14を設ける。上チップ3のボンディングパッド4と上記ボンディングパッド12とが第1のボンディングワイヤ10で接続され、ボンディングパッド13とパッケージ基板1のボンディングパッド5とが第2のボンディングワイヤ11で接続されている。この構成によれば、上チップ3からの信号は、配線シート9で中継されてパッケージ基板1に伝送される。



【特許請求の範囲】

【請求項1】 基板上に下チップと上チップとを重ねてなる半導体記憶装置において、

前記下チップと上チップとの間に、前記上チップと上記基板との間の電氣的接続を中継するための配線基板を設けたことを特徴とする半導体記憶装置。

【請求項2】 前記配線基板の表面には、前記上チップ表面の端子と接続される第1の端子と、前記基板表面の端子と接続される第2の端子と、前記第1、第2の端子を接続する配線パターンとが設けられていることを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 前記上チップ表面の端子と前記第1の端子とを接続する第1のボンディングワイヤと、前記基板表面の端子と前記第2の端子とを接続する第2のボンディングワイヤと、を設けたことを特徴とする請求項2記載の半導体記憶装置。

【請求項4】 前記配線基板の表面には、一端が前記上チップ裏面の端子と接続され他端が前記下チップ表面の端子と接続される配線パターンが設けられていることを特徴とする請求項1記載の半導体記憶装置。

【請求項5】 前記下チップ表面の端子と前記基板表面の端子とは、第3のボンディングワイヤで接続されていることを特徴とする請求項2又は4記載の半導体記憶装置。

【請求項6】 前記配線基板は、シート状に構成されていることを特徴とする請求項1記載の半導体記憶装置。

【請求項7】 前記配線基板は、板状に構成されていることを特徴とする請求項1記載の半導体記憶装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、複数のチップを重ね合わせたスタック型MCP（マルチ・チップ・パッケージ）による半導体記憶装置の配線構造に関するものである。

【0002】

【従来の技術】従来の複数のチップを重ね合わせてパッケージとしたスタックMCPにおいては、一般的にそれぞれのチップのボンディングパッドが同一配列で近い位置に配置され、かつそれぞれのチップサイズが最適な大きさである必要があるが、近年さまざまな容量のメモリの組み合わせが要求されている。

【0003】この要請に応えるために、例えば、特願平3-347650号に開示されているように、チップ側のボンディングパッド位置を大きくずらしたような位置でのボンディングが提案されている。

【0004】図4に従来のスタックMCPを示す。

【0005】図4において、最下層からパッケージ基板1、下チップ2、上チップ3がずらして重ねられている。上チップ3のボンディングパッド4とパッケージ基

板1のボンディングパッド5とがボンディングワイヤ6により接続されると共に、下チップ2のボンディングパッド7とパッケージ基板3のボンディングパッド5とがボンディングワイヤ8により接続されている。

【0006】

【発明が解決しようとする課題】上記のように従来のスタックMCPにおいては、上チップ3からのボンディングワイヤ6を下チップ2を越えて直接パッケージ基板1に接続しているで、上記ボンディングワイヤ3が非常に長くなり、このため、樹脂による封入の際にワイヤ流れを起こし、他のワイヤとの接触や、断線の危険性が存在するという問題があった。

【0007】また、長い距離をワイヤボンディングするためにボンディングワイヤが高さ方向に増大することになり、このため、パッケージの厚さが大きくならざるをえないという問題もあった。

【0008】本発明の主な目的は、多様な複数のメモリを同一パッケージに搭載することであり、それぞれのチップの大きさや、ボンディングパッドの位置が異なっていた場合においても、チップを重ね合わせたスタックMCPを提供することにある。

【0009】

【課題を解決するための手段】上記の目的を達成するために、本発明による半導体記憶装置は、基板上に下チップと上チップとを重ねてなる半導体記憶装置において、上記下チップと上チップとの間に、上記上チップと上記基板との間の電氣的接続を中継するための配線基板を設けたものである。

【0010】また、上記配線基板の表面には、上記上チップ表面の端子と接続される第1の端子と、上記基板表面の端子と接続される第2の端子と、上記第1、第2の端子を接続する配線パターンとを設けてよく、また、上チップ表面の端子と第1の端子とを接続する第1のボンディングワイヤと、上記基板表面の端子と上記第2の端子とを接続する第2のボンディングワイヤとを設けてよい。

【0011】また、上記配線基板の表面には、一端が上記上チップ裏面の端子と接続され他端が上記下チップ表面の端子と接続される配線パターンを設けてよい。

【0012】また、上記下チップ表面の端子と上記基板表面の端子とは、第3のボンディングワイヤで接続されていてよい。さらに、上記配線基板は、シート状又は板状に構成してよい。

【0013】

【発明の実施の形態】以下、本発明の実施の形態を図面と共に説明する。

【0014】図1は本発明の第1の実施の形態によるスタックMCPの構成を示す。本実施の形態は、図示のように、スタック型MCPにおいて、上チップ3と下チップ2との間に配線シート9を挟みこみ、この配線シート

9を中継して上チップ3からパッケージ基板1にボンディングワイヤ10、11を接続することを特徴としている。

【0015】即ち、図1において、上チップ3と下チップ2との間に配線シート9を設け、この配線シート9には、第1のボンディングパッド12と第2のボンディングパッド13とを設けると共に、これらのボンディングパッド12、13を接続する配線パターン14を設けている。そして、上チップ3のボンディングパッド4と上記ボンディングパッド12とが第1のボンディングワイヤ10で接続され、第2のボンディングパッド13とパッケージ基板1のボンディングパッド5とが第2のボンディングワイヤ11で接続されている。

【0016】上記構成によれば、上チップ3からの信号は、配線シート9を中継してパッケージ基板1に伝送される。即ち、上チップ3からの信号は、ボンディングパッド4、ボンディングワイヤ10、ボンディングパッド12、配線パターン14、ボンディングパッド13、ボンディングワイヤ11及びボンディングパッド5へ伝送される。逆にパッケージ基板1から上チップ3への信号の伝送も、上記と逆の順で行われる。

【0017】従って、本実施の形態によれば、上チップ3と下チップ2のチップサイズの格差が大きい場合においても、ワイヤ長が長くなり、前述したワイヤ流れ等のパッケージ組み立てに関する問題を回避できる。さらに、スタックMCPは、多くの場合上チップ3と下チップ2の信号を共用するので、配線基板9を用いることにより、ボンディングパッドの配置が離れているチップ同士での組み合わせが容易になる。即ち、配線シート9上の配線パターン14により、共通の信号となる下チップ2のボンディングパッド7周辺まで上チップ3の配線を引き回すことができる。

【0018】次に、本発明の第2の実施の形態を説明する。上記第1の実施の形態においては、配線シート9の表面上に上チップ3の裏面を重ねる構成としているが、本実施の形態では、上チップ3は、表裏を逆転させチップ表面を下方に向けて配線シート9に重ねている。また、配線シート9の配線パターン14の一端は、直接上チップ3のボンディングパッド4に接続され、他端は下チップ2のボンディングパッド7に接続されている。

【0019】上記構成により、上チップ3のボンディングパッド4が直接配線シート9上の配線パターン14に接続される。従って、上チップ3から配線シート9に対するボンディングが不要となる。

【0020】さらに、配線シート9上の配線パターン14を下チップ2のボンディングパッド7上まで延長し、下チップ2のボンディングパッド7が露出するようなパッドを形成することにより、図3に示すように、下チップ2のボンディングパッド7と配線シート9上の配線パターン14とを、一度のワイヤボンディングでパッケー

ジ基板3のボンディングパッド5にボンディングすることが可能となる。

【0021】このように、本実施の形態によれば、上チップ3から配線シート9に対するワイヤボンディングが無くなるため、パッケージをさらに薄くすることができる。また、図2のように、上チップ3のボンディングパッド4の配列が、配線シート9、下チップ2及びパッケージ基板1の各ボンディングパッドの配列に対して横方向に直交している場合には、横方向へのワイヤボンディングが無くなることにより、パッケージの横方向サイズを小さくできるという効果が得られる。

【0022】なお、上記第1、第2の実施の形態では、配線基板として、配線シートを例に挙げたが、配線基板は板状のものでもよい。

【0023】

【発明の効果】以上説明したように、本発明によれば、上チップと下チップとの間に配線シート等の配線基板を設け、上チップからパッケージ基板への電気的な接続を上記配線基板を介して行っているため、上チップと下チップのチップサイズの格差が大きい場合でも、理想的なボンディング位置までボンディングパッドを移動することが可能となる。

【0024】これによって、チップサイズの格差が大きくこれまで組み立てることが不可能であった組み合わせのチップ同士によるスタックMCPを容易に開発することができる。

【0025】従って、多様な複数のメモリを同一パッケージに搭載することができ、それぞれのチップの大きさや、ボンディングパッドの位置が異なっていた場合においても、チップを重ね合わせたスタックMCPを提供することができる。

【0026】さらに、上チップと下チップでパッケージ基板上の同一のボンディングパッドにボンディングする場合において、それぞれのチップレイアウトが異なり、チップ上のボンディングパッドがかけ離れた場所にある場合においても、理想的なボンディング位置まで配線シート上の配線を変更することによりボンディングパッドを配することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態を示す構成図である。

【図2】本発明の第2の実施の形態を示す構成図である。

【図3】図2の部分拡大図である。

【図4】従来のスタックMCPを示す構成図である。

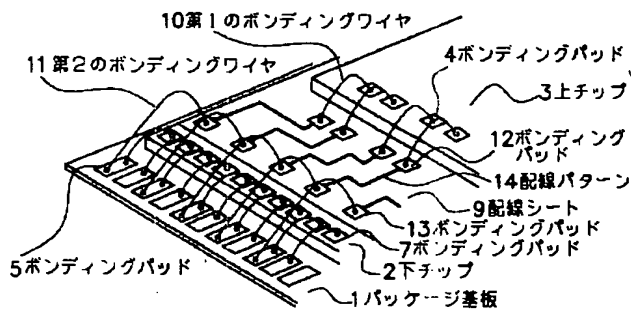
【符号の説明】

- 1 パッケージ基板
- 2 下チップ
- 3 上チップ
- 4 上チップのボンディングパッド

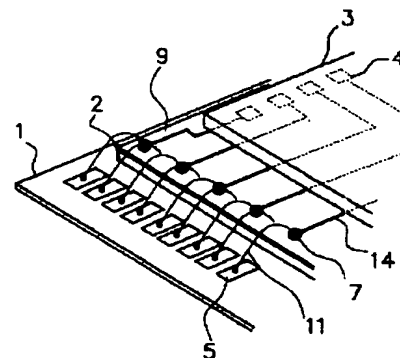
- 5 パッケージ基板のボンディングパッド
- 7 下チップのボンディングパッド
- 9 配線シート
- 10 第1のボンディングワイヤ

- 11 第2のボンディングワイヤ
- 12 配線シートの第1のボンディングパッド
- 13 配線シートの第2のボンディングパッド
- 14 配線パターン

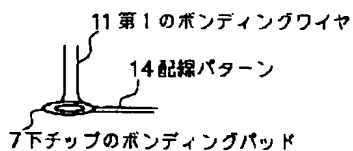
【図1】



【図2】



【図3】



【図4】

